

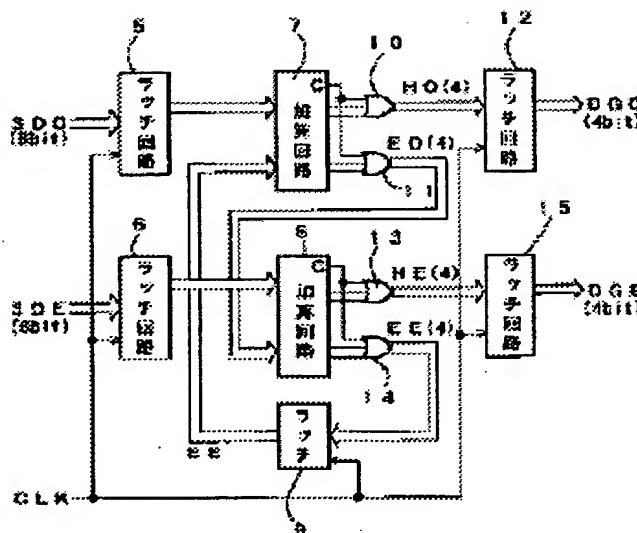
PICTURE PROCESSOR

Patent number: JP9244602
Publication date: 1997-09-19
Inventor: KOBAYASHI MITSUGI; UEHARA HISAO; KITAGAWA MAKOTO
Applicant: SANYO ELECTRIC CO
Classification:
 - international: G09G3/20; G09G3/36; G09G5/00; G09G5/02; G09G5/18; G09G5/36; H04N9/64; G09G3/20; G09G3/36; G09G5/00; G09G5/02; G09G5/18; G09G5/36; H04N9/64; (IPC1-7): G09G5/00; G09G3/36; G09G5/02; G09G5/18; G09G5/36; H04N9/64
 - european:
Application number: JP19960053026 19960311
Priority number(s): JP19960053026 19960311

Report a data error here

Abstract of JP9244602

PROBLEM TO BE SOLVED: To improve the capacity of a processor by parallel performing the error diffusing processing of picture data to be supplied by being synchronized with a dot clock in pixels of an odd numbered column and an even numbered column. **SOLUTION:** Output of a latch circuit 5 are impressed on an adder circuit 7 to be added with the erroneous data of the pixel immediately proceeding held in a latch circuit 9. Then, the error diffusing to the picture data of the pixel of an impressed odd numbered column is performed and corrected data are formed. Then, upper 4 bits and lower 4 bits are respectively impressed on OR gates 10, 11. Picture data SDE of the pixel of an even numbered column held in a latch circuit 6 are added with the erroneous data EO of the pixel of the odd numbered column immediately proceeding in an adder circuit 8 and the upper 4 bits and the lower 4 bits of the added result are impressed on OR gates 13, 14. The upper 4 bits of the corrected picture data subjected to the error diffusing processing by the adder circuit 8 are held in a latch circuit 15 as picture display data HE and the lower 4 bits are held in the latch circuit 9 as the erroneous data EE of the pixel of the even numbered column.



BEST AVAILABLE COPY

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-244602

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/00	5 2 0		G 0 9 G 5/00	5 2 0 J 5 2 0 W
3/36			3/36	
5/02			5/02	B
5/18			5/18	

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平8-53026

(22) 出願日 平成8年(1996)3月11日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 小林 貢

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 上原 久夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 北川 誠

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

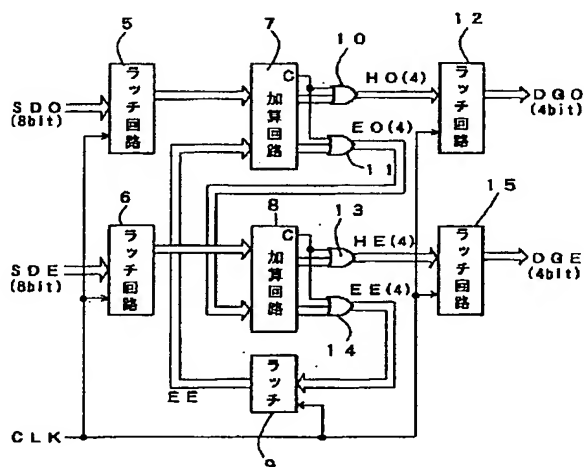
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 限定されたビット数のデジタル入力をもつ表示装置に、そのビット数より大きな階調の表示を行うための多階調化処理回路において、大規模な画素数の高精細表示装置に対応できる処理能力及び処理速度を実現する。

【解決手段】 奇数列画素の画像データと偶数列画素の画像データを加算回路7及び8によって並列に処理し、奇数列画素の誤差データを算出して、偶数列画素の画像データに加算し、その結果の偶数列画素の誤差データを次のタイミングで印加される画像データのための誤差データとしてラッチ回路9に保持する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 各画素の画像表示データがLビットで構成され、該Lビットの画像表示データによって表示がなされる表示装置に適用され、Lビットより大きいPビットの画像データによって表示される階調を疑似的に前記表示装置に表示するための画像処理装置において、水平方向の連続する画素のPビットの複数の画像データに対応して設けられ、前記複数の画像データが同時に印加される複数の加算回路と、該各々の加算回路の所定下位ビットを誤差データとして隣接する次の加算回路に印加する手段と、印加された画素データの内、最後の画素に対応する加算回路の所定の下位ビットを保持し、印加された画像データの内の最初の画素に対応する加算回路に印加する誤差データ保持回路とを備えた画像処理装置。

【請求項2】 各画素の画像表示データがLビットで構成され、該Lビットの画像表示データによって表示がなされる表示装置に適用され、Lビットより大きいPビットの画像データによって表示される階調を疑似的に前記表示装置に表示するための画像処理装置において、水平方向の連続する前後の画素の画像データが各々同時に印加される第1及び第2の加算回路と、該第1の加算回路の出力の所定下位ビットを誤差データとして前記第2の加算回路に印加する手段と、前記第2の加算回路の出力の所定下位ビットを誤差データとして保持し、前記第1の加算回路に印加する誤差データ保持回路とを備えた画像処理装置。

【請求項3】 各画素の画像表示データがLビットで構成され、該Lビットの画像表示データによって表示がなされる表示装置に適用され、Lビットより大きいPビットの画像データによって表示される階調を疑似的に前記表示装置に表示するための画像処理装置において、水平方向の連続する前後の画素の画像データが各々同時に供給され、前列の画像データの所定下位ビットに直前の画素の誤差データを加算し前列の誤差データを作成し、該前列の誤差データと後列の画像データの所定下位ビットを加算して、次の画素の画像データに加算すべき誤差データを作成する誤差データ作成回路と、前記前列の誤差データを前記後列の画像データに加算して後列の画像表示データを出力する加算回路とを備え、前記誤差データ作成回路と前記加算回路は異なったタイミングで加算動作が行われる画像処理装置。

【請求項4】 各画素の画像表示データがLビットで構成され、該Lビットの画像表示データによって表示がなされる表示装置に適用され、Lビットより大きいPビットの画像データによって表示される階調を疑似的に前記表示装置に表示するための画像処理装置において、水平方向の連続する前後の画素の画像データが各々同時に供給され、前列の画像データの所定の下位ビットと誤差データを加算する第1の加算回路と、該第1の加算回路の桁上げ信号と前記前列の画像データの所定上位ビットを

加算し、前列の画像表示データを出力する第2の加算回路と、前記後列の画像データの所定下位ビットと前記第1の加算回路の誤差データ出力を加算する第3の加算回路と、該第3の加算回路の出力を所定期間保持し、前記第1の加算回路に印加する誤差データを出力する第1の保持回路と、前記第1の加算回路の誤差データ出力を所定期間保持する第2の保持回路と、該第2の保持回路によって保持された誤差データと前記後列の画像データを加算し、所定の上位ビットを後列の画像表示データとして出力する第4の加算回路を備えてなる画像処理装置。

【請求項5】 前記第1の加算回路の桁上げ信号と前記前列の画素の画像データの所定上位ビットの論理積により、前記第2の加算回路から出力される桁上げ信号と同一内容の桁上げ信号を前記第2の加算回路の桁上げ信号の発生より早く出力する桁上げ信号発生回路を備えた請求項4記載の画像処理装置。

【請求項6】 前記第3の加算回路の桁上げ信号と前記後列の所定上位ビットの論理積により、前記後列の画像データに前記前列の誤差データを加算した場合の桁上げ信号を発生する第2の桁上げ信号発生回路を備えた請求項5記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、所定ビットの画像表示データによって表示を行うデジタル入力の表示装置に、所定ビット以上の階調数の表示を疑似的に行う多階調化処理の画像処理装置に関する。特に、画素数の多い表示装置に対応して、高速に処理可能な画像処理装置に関する。

【0002】

【従来の技術】近年、マルチメディア対応のOA用高精細カラー液晶表示装置が開発されるに至った。このカラー液晶は、R、G、Bの各色毎に3ビットあるいは4ビットのデジタルドライバを内蔵している。例えば、3ビットのデジタルドライバを持ったカラー液晶は、各色8階調の表示が可能で、全体で512色の表示ができる。しかしながら、単なるOA用のモニタとして使用する場合にはこれで十分であるが、マルチメディア対応として、動画や静止画などの映像を表示するには不十分であり、更なる階調の増加が望まれていた。

【0003】そこで、1つの画素で表示できない成分を同じ画面フレームの周囲の隣接する画素に拡散（フレーム内誤差拡散）することによって疑似的に階調数を高める方法、また、1つの画素で表示できない成分を複数の画面フレームに亘って同一の画素に拡散（フレーム間誤差拡散）する方法が発案されている。本明細書において、誤差データなる用語は、画像データの構成ビットの内、表示装置のデジタルドライバによって表示できない下位ビットのデータを意味する。

【0004】図4は、フレーム内誤差拡散を用いた多階

調化処理回路であり、R、G、Bの1色分を示している。図4において、ラッチ回路1は、ドットクロックDCLKに同期して順次印加される8ビットの原画像データSDをラッチし加算回路2に出力する。加算回路2は、原画像データSDと誤差データ保持回路3から出力される4ビットの誤差データEIを加算して8ビットの補正画像データHDを作成する。誤差データ保持回路3は、補正画像データHDの下位4ビットをフレーム内誤差拡散のための誤差データEIとしてドットクロックDCLKによって保持し、次の画素の原画像データSDがラッチ回路1にラッチされた時に誤差データEIを加算回路2に出力する。補正画像データHDの上位4ビットは、フレーム内誤差拡散された結果として出力ラッチ回路4に保持され、表示装置に画像表示データDGとして出力される。即ち、フレーム内誤差拡散回路は、加算回路2と誤差データ保持回路3によって構成され、加算回路2に印加された原画像データSDに1ドット前の画素の誤差データEIが加算されるために、隣接する画素に下位4ビットの誤差データが順次拡散されることになる。

【0005】従って、4ビット入力のデジタルドライバ内蔵の液晶表示装置に誤差拡散処理されたR、G、B各色の4ビット画像表示データDGを供給することで、疑似的に256×256×256階調の表示を行うことができる。以上、図4を用いてフレーム内誤差拡散の多階調画像処理装置を簡単に説明したが、詳しくは、本願出願人による特願平4-307210号に記述されている。

【0006】

【発明が解決しようとする課題】図4に示された多階調画像処理装置を640×480の画素数を有する一般的なVGA用の液晶表示装置に使用する場合には、画像データSDと同期するドットクロックDCLKの周波数は、ほぼ25MHzとなる。ところが、パソコンなどの液晶表示装置は、益々高精細化が進み、XGAと称される1024×768の画素数のものや1280×1024のものが使用されるようになってきた。このような高精細液晶表示装置に図4の多階調画像処理装置を使用する場合には、ドットクロックは70MHzから90MHzの非常に高い周波数になってしまい、図4の回路は集積回路として動作しなくなる恐れがある。

【0007】

【課題を解決するための手段】本発明は、上述した点に鑑みて創作されたものであり、請求項1に記載された発明は、水平方向の連続する画素のPビットの複数の画像データに対応して設けられ、前記複数の画像データが同時に印加される複数の加算回路と、該各々の加算回路の所定下位ビットを誤差データとして隣接する次の加算回路に印加する手段と、印加された画素データの内、最後の画素に対応する加算回路の所定の下位ビットを保持

し、印加された画像データの内の最初の画素に対応する加算回路に印加する誤差データ保持回路とを備えることにより、複数画素の画像データを同時に処理するものである。

【0008】また、請求項2に記載された発明は、水平方向の連続する前後の画素の画像データが各々同時に印加される第1及び第2の加算回路と、該第1の加算回路の出力の所定下位ビットを誤差データとして前記第2の加算回路に印加する手段と、前記第2の加算回路の出力の所定下位ビットを誤差データとして保持し、前記第1の加算回路に印加する誤差データ保持回路とを備えることにより、水平方向に連続する2つの画素の画像データを同時に処理するものである。

【0009】また、請求項3に記載された発明は、水平方向の連続する前後の画素の画像データが各々同時に供給され、前列の画像データの所定下位ビットに直前の画素の誤差データを加算し前列の誤差データを作成し、該前列の誤差データと後列の画像データの所定下位ビットを加算して、次の画素の画像データに加算すべき誤差データを作成する誤差データ作成回路と、前記前列の誤差データを前記後列の画像データに加算して後列の画像表示データを出力する加算回路とを備え、前記誤差データ作成回路と前記加算回路は異なったタイミングで加算動作が行われる画像処理装置である。

【0010】また、請求項4に記載された発明は、水平方向の連続する前後の画素の画像データが各々同時に供給され、前列の画像データの所定の下位ビットと誤差データを加算する第1の加算回路と、該第1の加算回路の桁上げ信号と前記前列の画像データの所定上位ビットを加算し、前列の画像表示データを出力する第2の加算回路と、前記後列の画像データの所定下位ビットと前記第1の加算回路の誤差データ出力を加算する第3の加算回路と、該第3の加算回路の出力を所定期間保持し、前記第1の加算回路に印加する誤差データを出力する第1の保持回路と、前記第1の加算回路の誤差データ出力を所定期間保持する第2の保持回路と、該第2の保持回路によって保持された誤差データと前記後列の画像データを加算し、所定の上位ビットを後列の画像表示データとして出力する第4の加算回路を備え、2画素分の誤差データの演算を先のタイミングで行い、続くタイミングで後列の画素の画像データと前列の画素からの誤差データの加算を行うことにより処理速度を早くするものである。

【0011】また、請求項5に記載の発明は、前記第1の加算回路の桁上げ信号と前記前列の画素の画像データの所定上位ビットの論理積により、前記第2の加算回路から出力される桁上げ信号と同一内容の桁上げ信号を前記第2の加算回路の桁上げ信号の発生より早く出力する桁上げ信号発生回路を備えることで、誤差データの加算による桁上げ信号の発生を早くして処理速度を上げるものである。

【0012】更に、請求項6に記載の発明は、前記第3の加算回路の桁上げ信号と前記後列の所定上位ビットの論理積により、前記後列の画像データに前記前列の誤差データを加算した場合の桁上げ信号を発生する第2の桁上げ信号発生回路を備えることにより、前列の画素からの誤差データと後列の画素の画像データの加算による桁上げ信号の発生を早くして、処理速度を上げるものである。

【0013】

【発明の実施の形態】図1は、請求項1及び2に記載された本発明の一実施形態を示すブロック図である。ラッチ回路5及び6は、ともに8ビットのラッチ回路であり、クロックCLKに従って、隣接する2つの画素の画像データを保持する。ラッチ回路5には、水平走査線方向の奇数列の画素の画像データSDOが印加され、ラッチ回路6には、偶数列の画像データSDEが印加される。通常、画像データとドットクロックは同期してシリアルに提供されるのであるが、これをシリアル-パラレル変換して、奇数列、偶数列の画像データが同時にラッチ回路5および6に印加されるようにしている。このシリアル-パラレル変換は、ドットクロックによってシフト制御される2段の8ビットパラレルシフトレジスタを使用し、ドットクロックが2個印加されたときに、シフトレジスタの1段目と2段目の出力をラッチ回路5及び6にラッチさせることによって実現できる。従って、図1に示された回路の動作を制御するクロックCLKは、ドットクロックの半分の周波数のクロックとなる。

【0014】ラッチ回路5の出力は、請求項2に記載された第1の加算回路に相当する加算回路7に印加され、ラッチ回路9に保持されている直前の画素の誤差データEEと加算される。これにより、印加された奇数列画素の画像データへの誤差拡散が行われ、補正画像データが作成される。この補正画像データの内の、上位4ビットはORゲート10に印加され、下位4ビットはORゲート11に印加される。このORゲート10及び11は、加算の結果桁上げが発生したときには出力を最大値、即ち、「11111111」に固定するための回路であり、加算回路7の桁上げ信号Cが各々印加される。そして上位4ビットのORゲート10の出力は、奇数列画素の画像表示データHOとしてラッチ回路12に保持される。

【0015】一方、下位4ビットのORゲート11の出力は、奇数列の画素の誤差データEOとして、偶数列画素の画像データSDEに加算すべく、請求項2に記載された第2の加算回路に相当する加算回路8に印加される。ラッチ回路6に保持された偶数列画素の画像データSDEは、第2の加算回路8において直前の画素、即ち、奇数列画素の誤差データEOと加算され、その加算結果の上位4ビットは、ORゲート13に印加され、下位4ビットはORゲート14に印加される。ORゲート

13及び14も前述と同様に桁上げが発生したときに出力を最大値に固定するものであり、加算回路8の桁上げ信号Cが各々印加されている。加算回路8によって誤差拡散処理された補正画像データの上位4ビットは、画像表示データHEとしてラッチ回路15に保持され、下位4ビットは偶数列画素の誤差データEEとして、ラッチ回路9に保持される。誤差データEEは、次のタイミングでラッチ回路5に保持される奇数列画素、即ち、このタイミングで処理された偶数列画素の次の画素の画像データに加算すべき誤差データEEとなる。

【0016】ラッチ回路12及び15に保持された画像表示データDGO及びDGEは、パラレル-シリアル変換され、ドットクロックと同期して、液晶表示装置に供給される。図1に示された実施形態によれば、ドットクロックと同期して供給される画像データを奇数列の画素と偶数列の画素でパラレルに誤差拡散処理することができるため、誤差拡散処理のクロックがドットクロックの半分の周波数となり、処理能力を向上することができる。これにより、画素数が非常に大きな表示装置にも対応可能な画像処理装置が実現できる。

【0017】図2は、本発明の他の実施形態を示すブロック図であり、図1に示された画像処理装置の処理速度を向上したものである。図1の回路においては、加算回路7と加算回路8が動作的にシリアルに接続された状態にある。即ち、加算回路7の下位4ビットの加算の結果、桁上げが上位ビットに伝搬し、桁上げ信号Cが確定し、加算出力が確定した後、加算回路8の加算処理を行い、加算回路8の桁上げ信号C及び加算出力が確定した状態で最終出力が得られるため、16ビットの加算回路と同等となり、処理時間は、加算回路7の出力確定までの時間と加算回路8の出力確定までの時間の和になる。従って、図1の回路では、クロックCLKはドットクロックの半分の周波数になるが、その周波数はそれほど高くできない。そこで、図2の実施形態では、誤差データを算出する回路を画像表示データの算出回路と分離した構造としている。

【0018】図2において、奇数列画素の画像データSDOは、ラッチ回路16に保持され、偶数列画素の画像データSDEは、ラッチ回路17に保持される。ラッチ回路16に保持された画像データSDOの下位4ビットSDOLは、請求項4に記載された第1の加算回路に相当する加算回路18に印加され、上位4ビットSDOUは、請求項4に記載された第2の加算回路に相当する加算回路19に印加されると共に、ANDゲート20に印加される。また、ラッチ回路17に保持された偶数列画素の画像データSDEの下位4ビットSDELは、請求項4に記載された第3の加算回路に相当する加算回路21に印加され、上位4ビットSDEUはANDゲート22に印加される。また、偶数列画素の画像データSDEは、ラッチ回路23に更に保持され、クロックCLKの

1クロック遅延されて、加算回路24に印加される。この加算回路24は、請求項4に記載された第4の加算回路に相当する。

【0019】ここで加算回路18は、奇数列画素の誤差データEOを算出するための4ビットの加算回路であり、加算出力はORゲート25に印加される。また、加算回路18の桁上げ信号Cは、加算回路19の桁上げ入力に印加されると共に、ANDゲート20に印加される。即ち、加算回路18の桁上げ信号Cが加算回路19に伝搬され、加算回路19の桁上げ信号Cの発生を待っていたのでは、時間がかかるために、ANDゲート20において加算回路18の桁上げ信号Cと上位4ビットの画像データSDOUの論理積により、加算回路19の桁上げ信号Cより先に桁上げ信号を求め、ANDゲート20の出力によってORゲート25における最大値の固定を行うのである。従って、ORゲート25から出力される奇数列画素の誤差データEOは、4ビットの加算処理の処理時間で得られることになる。ORゲート25から出力される誤差データEOは、偶数列画素の画像データSDEの下位4ビットSDELに加算すべく、加算回路21に印加されると共に、次のクロックCLKのタイミングで偶数列画素の画像データSDEに加算するために、請求項4に記載された第2の保持回路に相当するラッチ回路27に保持される。

【0020】一方、加算回路19は、加算回路18の桁上げ信号Cと上位4ビットの画像データSDOUの加算により、補正された画像データを算出するものであり、その加算出力及び桁上げ信号CはORゲート26に印加され、桁上げ発生時の最大値固定がなされる。従って、ORゲート26から出力される画像データHOは、加算回路18の加算処理時間と加算回路19の加算処理時間の和、即ち、8ビットの加算処理時間で得られることになる。この補正された画像データHOは、ラッチ回路28及び29に順次保持され、画像表示データDGOとして出力される。

【0021】また、加算回路21は、偶数列画素の下位4ビットの画像データSDELに奇数列画素からの誤差データEOを加算し、次のタイミングで印加される奇数列画素に加算するための誤差データEEを算出するものである。この加算回路21の桁上げ信号Cも前述と同様に、桁上げ信号の伝搬による遅延をなくすために、ANDゲート22に印加され、上位4ビットの画像データSDEUとの論理積により、加算処理をすることなく桁上げ信号を発生している。加算回路21の加算出力及びANDゲート22の出力は、ORゲート30に印加され、桁上げ信号発生時の最大値固定を行っている。従って、ORゲート30から出力される画差データEEは、加算回路18の加算処理時間と加算回路21の加算処理時間の和、即ち、8ビットの加算処理時間で得られることになる。この誤差データEEは、請求項4に記載された第

1の保持回路に相当するラッチ回路31に保持され、次のクロックCLKのタイミングで印加される次の奇数列画素の画像データに加算される。

【0022】上述の加算回路18、ANDゲート20、ORゲート25、加算回路21、ANDゲート22、及び、ORゲート30は、奇数列画素の誤差データEOと偶数列画素の誤差データEEを作成する回路であり、請求項3に記載した誤差データ作成回路に相当する。加算回路24は、ラッチ回路27及びラッチ回路23によって、1クロック分遅延された誤差データEOと偶数列画素の画像データSDEを加算し、偶数列画素の補正画像データを作成するものであり、その加算出力の内、上位4ビットが補正された画像データとして桁上げ信号Cと共にORゲート32に印加される。ここで、下位4ビットは、クロックCLKの前のタイミングで加算回路21によってすでに算出されているため、切り捨てられる。ORゲート32から出力される補正画像データHEUは、ラッチ回路33に保持され、画像表示データDGEとして出力される。

【0023】ラッチ回路29及び33に保持された奇数列画素の画像表示データDGOと偶数列画素の画像表示データDGEは、パラレル-シリアル変換されて、ドットクロックと同期してシリアルに液晶表示装置に供給される。次に、図2の実施形態の動作タイミングを図3に基づき説明する。図3のタイミング図は、クロックCLKの立ち下がりでラッチ回路が動作するものとして記述されている。

【0024】まず、クロックCLKのn番目の周期において、クロックCLKの立ち下がりにより、ラッチ回路16及び17にはn番目の奇数列画素の画像データSDOnと偶数列画素の画像データSDEnが保持される。また、この時、ラッチ回路31には前のクロック周期によって算出されたn-1番目の偶数列画素の誤差データEEn-1が保持されている。従って、クロックCLKのn番目の期間では、加算回路18は、画像データSDOnと誤差データEEn-1の加算により誤差データEOnが算出され、加算回路19では補正画像データHOnが算出される。更に、加算回路21では加算回路18によって算出された誤差データEOnと画像データSDELnの加算により、誤差データEEnが算出される。即ち、このクロックCLKのn番目のタイミングでは、n番目の奇数列画素の画像データとn番目の偶数列画素の画像データの各々の誤差データの作成がなされるのである。

【0025】次に、クロックCLKがn+1番目の周期になると、算出された誤差データEOnはラッチ回路27に保持され、誤差データEEnはラッチ回路31に保持される。また、奇数列画素の補正画像データHOnは、ラッチ回路28に保持され、偶数列画素の画像データSDEnは、ラッチ回路23に保持される。一方、ラッチ回路16及び17には次の奇数列画素の画像データ

$SDOn+1$ と偶数列画素の画像データ $SDEn+1$ が保持され、クロック CLK の n 番目の周期と同様に誤差データの算出が行われる。また、加算回路24においては、ラッチ回路27に保持された誤差データ EO_n とラッチ回路23に保持された画像データ $SDEn$ の加算が行われ、その結果、偶数列画素の補正画像データ $HEUn$ が算出される。

【0026】そして、 $n+2$ 番目のクロック CLK の周期になると、ラッチ回路28に保持された奇数列画素の補正画像データ $HOUn$ がラッチ回路29に保持され、画像表示データ DGO_n として出力され、また、加算回路24によって算出された偶数列画素の補正画像データ $HEUn$ がラッチ回路33に保持され、画像表示データ DGE_n として出力される。

【0027】このように図2の画像処理回路によれば、奇数列画素の画像データ SDO と偶数列画素の画像データ SDE を同時に入力し、その処理を2回のクロックタイミングに分けて行い、特に、奇数列画素及び偶数列画素の誤差データ EO 及び EE の算出と奇数列画素の画像表示データ DGO の算出を前のタイミングで行い、次のタイミングで偶数列画素の画像表示データ DGE の算出を行うものである。このような構成により、一つのクロック周期の期間に行われる加算処理時間は、8ビットの加算処理が最大となるため、図1のように実質16ビットの加算処理時間がかかる回路より高速の処理が行える*

*ことになる

【0028】

【発明の効果】上述の如く、本発明によれば、誤差拡散処理の能力が増大するために、高速のドットクロックと同期して印加される画像データをその速度に応じて処理することが可能になる。これにより、画素数の多い表示装置、特に、XGAと称される高精細の表示装置にも対応可能となる。そして、XGAの表示装置を採用したパソコン等の階調数を擬似的に多階調化することができ、その商品的価値を大幅に向上させる効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すブロック図。

【図2】本発明の他の実施形態を示すブロック図。

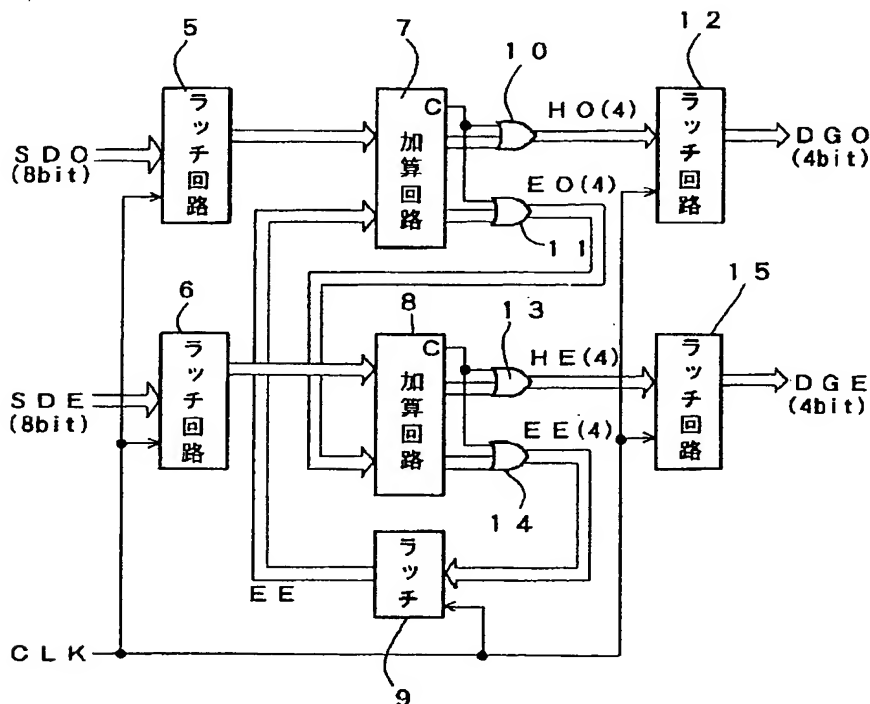
【図3】図2に示されたブロック図の動作を示すタイミング図。

【図4】従来例を示すブロック図。

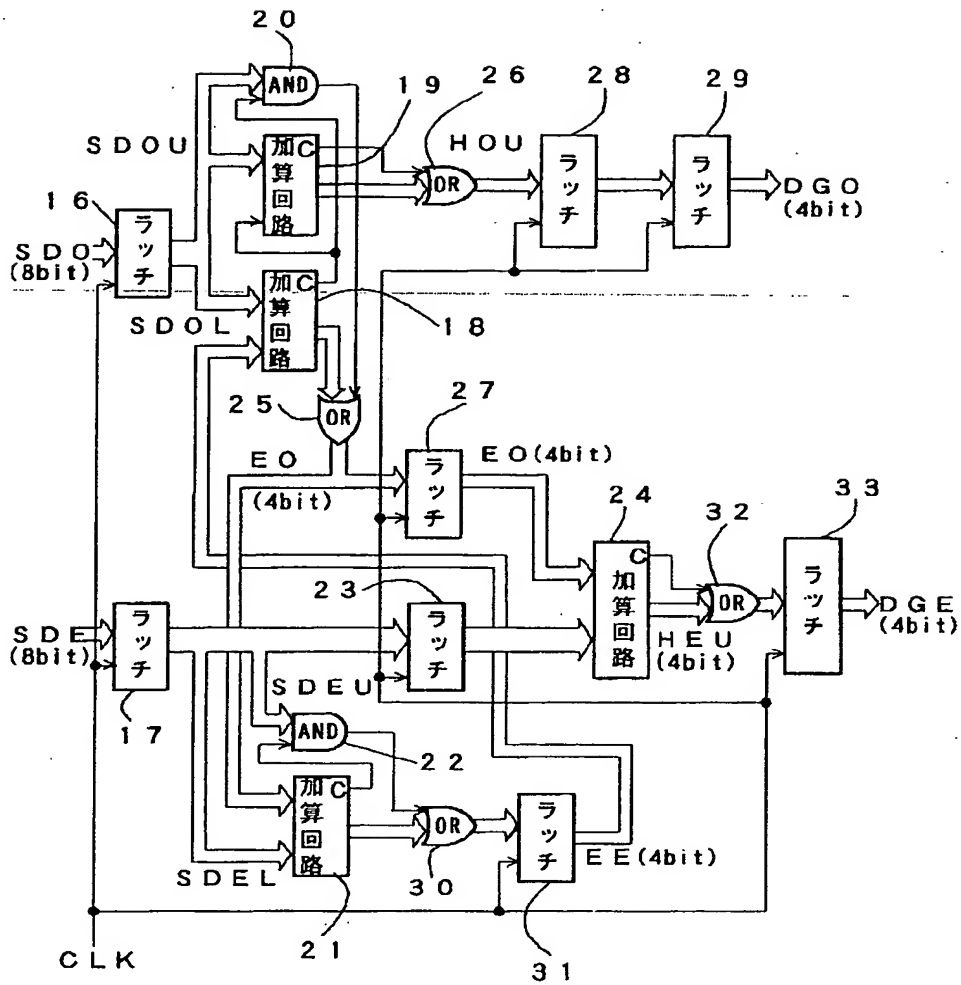
【符号の説明】

5、6、9、12、15	ラッチ回路
7、8	加算回路
10、11、13、14	ORゲート
16、17	ラッチ回路
18、19、21、24	加算回路
20、22	ANDゲート
25、26、30、32	ORゲート
23、27、28、29、31、33	ラッチ回路

【図1】



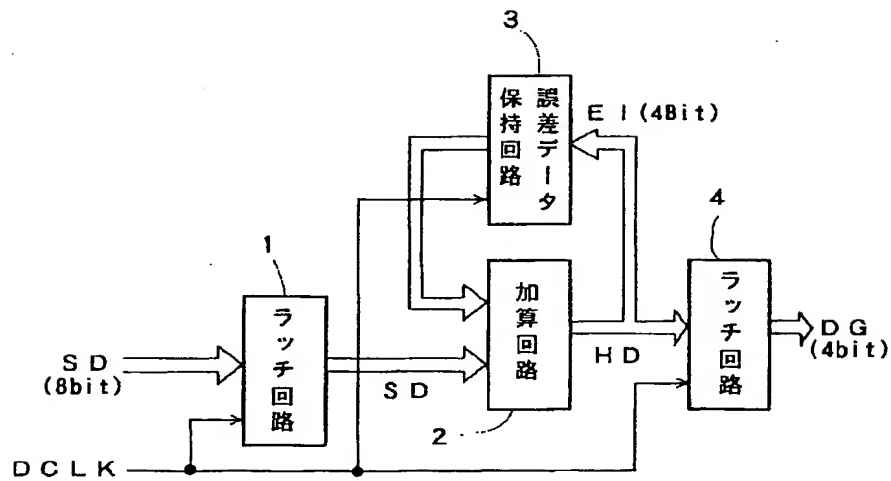
(図2)



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁶

G09G 5/36

H04N 9/64

識別記号

520

片内整理番号

FI

G09G 5/36

H04N 9/64

技術表示箇所

520A

Z